(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－107677

(43)公開日　平成10年(1998)４月24日

(51)Int.Cl.[6]	識別記号	ＦＩ
Ｈ０４Ｂ　1/40		Ｈ０４Ｂ　1/40
Ｈ０４Ｊ　1/00		Ｈ０４Ｊ　1/00

審査請求　未請求　請求項の数６　ＯＬ　（全９頁）

(21)出願番号　特願平9－186611

(22)出願日　平成９年(1997)７月11日

(31)優先権主張番号　特願平8－206174

(32)優先日　平８(1996)８月５日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号

(72)発明者　泉　忍
東京都品川区北品川６丁目７番35号　ソニー株式会社内

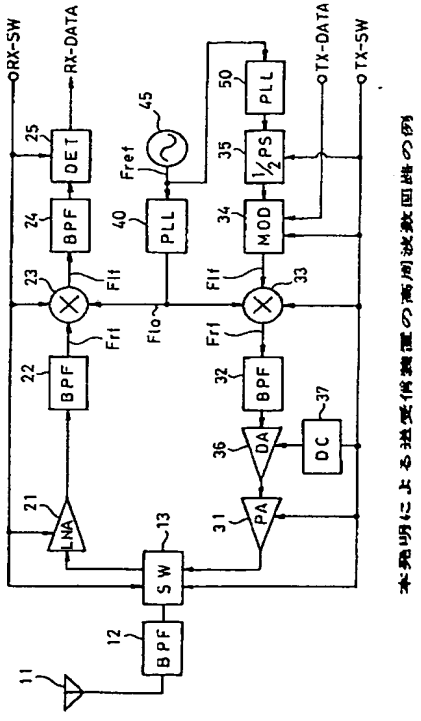
(74)代理人　弁理士　松隈　秀盛

(54)【発明の名称】　送受信装置

(57)【要約】

【課題】　ＦＤＭＡ／ＴＤＤ方式の送受信装置のシングルスーパーヘテロダイン受信方式の高周波回路において、スプリアスに関する規格を満足させることを目的とする。

【解決手段】　高周波回路ブロックは受信系及び送信系を有し、受信系には受信イネーブル信号が供給され送信系には送信イネーブル信号が供給され、それによって受信チャンネルと送信チャンネルが交互に切り換えられる。送信イネーブル信号は遅延回路を経由して送信系に供給される。遅延回路は送信系のドライバアンプの入力側に設けられる。



本発明による送受信装置の高周波数回路の例

【特許請求の範囲】

【請求項1】多重アクセス方式としてFDMAを使用し双方向通信方式としてTDDを使用する送受信装置において、

アンテナによって受信された受信信号から受信イネーブル信号に基づくタイミングで受信データを生成する受信手段と、

上記受信イネーブル信号と逆相の送信イネーブル信号に基づくタイミングで中間周波数の送信信号を生成する中間周波数送信信号生成手段と、

上記中間周波数の送信信号を送信周波数の送信信号に変換する周波数変換手段と、

上記送信イネーブル信号を遅延させる遅延手段と、

上記遅延手段の出力に基づくタイミングで、上記送信周波数の送信信号に所定の信号処理を行う信号処理手段と、

上記信号処理手段の出力を上記アンテナに供給する供給手段と、を供えることを特徴とする送受信装置。

【請求項2】請求項1記載の送受信装置において、上記信号処理手段はドライバアンプであることを特徴とする送受信装置。

【請求項3】請求項2記載の送受信装置において、上記供給手段は上記送信イネーブル信号に直接的に基づくタイミングで動作する電力増幅手段を含むことを特徴とする送受信装置。

【請求項4】請求項3記載の送受信装置において、上記周波数変換手段は上記送信イネーブル信号に直接的に基づくタイミングで動作することを特徴とする送受信装置。

【請求項5】請求項1記載の送受信装置において、上記遅延手段は上記送信イネーブル信号がインアクティブからアクティブに変わるタイミングのみを遅延させることを特徴とする送受信装置。

【請求項6】請求項1記載の送受信装置において、上記周波数変換手段は上記送信イネーブル信号に直接的に基づくタイミングで動作することを特徴とする送受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多重アクセス方式としてFDMAを使用し、双方向通信方式としてTDDを使用する送受信装置に関し、特にその移動局（子機）又は基地局（親機）の高周波回路ブロックに関する。

【0002】

【従来の技術】欧州等で広く採用されているCT-2方式のディジタルコードレス電話等の送受信装置では、多重アクセス方式としてFDMA（Frequency Division Multiple Access）を使用し、双方向通信方式としてTDD（Time Division Duplex）を使用する。

【0003】複数のユーザが同時に使用している通信空間にて特定の通信先に接続する方式を多重アクセスと言う。CT-2方式では多重アクセスとしてFDMAを採用する。FDMAでは、ユーザ毎に1つの周波数が割り当てられる。

【0004】また、基地局（親機）から移動局（子機）への受信チャンネルと移動局（子機）から基地局（親機）への送信チャンネルとを分離する方式として、CT-2方式の場合、TDD（1周波時分割双方向通信方式）を採用する。

【0005】TDDは、同一周波数を使って時分割で送信と受信を交互に切り換える方式である。例えば、1つの周波数帯域の搬送波信号を使用する送信と受信が1ミリ秒毎に交互に切り換えられる。

【0006】FDMA／TDD方式の送受信装置の受信方式として、シングルスーパーヘテロダイン方式とダブルスーパーヘテロダイン方式が考えられる。

【0007】図5を参照して、シングルスーパーヘテロダイン受信方式を使用したFDMA／TDD方式の送受信装置の高周波回路ブロックの例を説明する。

【0008】高周波回路ブロックは、一般に、アンテナ系111、112、113と受信系121、122、123、124、125及び送信系131、132、133、134、135、136と発振回路系140、145、150とを有する。

【0009】先ず発振回路系について説明する。発振回路系は基準発振器145と2つのPLL回路140、150とを有する。基準発振器145から出力された基準周波数Frefの信号は第1及び第2のPLL回路140、150に供給される。

【0010】第1のPLL回路140は局部発振周波数Floの信号を生成し、第2のPLL回路150は中間周波数Fifの2倍の周波数の信号を生成する。

【0011】例えば、基準周波数Frefを12．8MHzとし、局部発振周波数Floを846MHz、中間周波数の2倍の周波数2×Fifを2×20＝40MHzとする。

【0012】次に受信チャンネルについて説明する。アンテナ111によって受信された送受信周波数Frfの搬送波信号は第1のバンドパスフィルタ112、送受信切り換えスイッチ113、ローノイズ増幅器121及び第2のバンドパスフィルタ122を経由して周波数変換器（ミキサ）123に供給される。

【0013】周波数変換器123は、第2のバンドパスフィルタ122より供給された送受信周波数Frfの搬送波信号と第1のPLL回路140より供給された局部発振周波数Floの信号を入力して中間周波数Fifの受信信号を生成する。

【0014】例えば、送受信周波数Frfを866MHz、局部発振周波数Floを846MHzとすると、中

周周波数Ｆｉｆは２０ＭＨｚとなる。

【００１５】この中間周波数Ｆｉｆの搬送波信号は第３のバンドパスフィルタ１２４を経由して復調器１２５に供給され、この復調器１２５によって受信データＲＸ－ＤＡＴＡが生成される。

【００１６】次に送信チャンネルについて説明する。第２のＰＬＬ回路１５０によって中間周波数Ｆｉｆの２倍の周波数の信号が生成される。第２のＰＬＬ回路１５０の出力が、中間周波数Ｆｉｆではなく中間周波数Ｆｉｆの２倍の周波数の信号を生成しているのは次のような理由による。ＰＬＬ回路１５０に含まれる電圧制御発振器（ＶＣＯ）は電源ＯＮからの立ち上がりが遅いため、常に電源ＯＮの状態としてある。従って、受信時においても電圧制御発振器（ＶＣＯ）は電源ＯＮとなっており、もし第２のＰＬＬ回路１５０が中間周波数Ｆｉｆの信号を出力すると、受信の妨害になるからである。

【００１７】第２のＰＬＬ回路１５０から出力された周波数２×Ｆｉｆの信号は、１／２プリスケーラ１３５によって１／２に分周され中間周波数Ｆｉｆの信号が生成される。変調器１３４は、１／２プリスケーラ１３５より供給された中間周波数Ｆｉｆの搬送波信号と送信データＴＸ－ＤＡＴＡを入力して、中間周波数Ｆｉｆの送信信号を生成する。この信号は周波数変換器（ミキサ）１３３に供給される。

【００１８】周波数変換器１３３は１／２プリスケーラ１３５より供給された中間周波数Ｆｉｆの搬送波信号と第１のＰＬＬ回路１４０より供給された局部発振周波数Ｆｌｏの信号を入力して送受信周波数Ｆｒｆの搬送波信号を生成する。

【００１９】上述の例では、局部発振周波数Ｆｌｏが８４６ＭＨｚ、中間周波数Ｆｉｆが２０ＭＨｚであるから、送受信周波数Ｆｒｆとして８６６ＭＨｚが得られる。

【００２０】周波数変換器１３３より供給された送受信周波数Ｆｒｆの搬送波信号は、第４のバンドパスフィルタ１３２、ドライバアンプ１３６、電力増幅器１３１、送受信切り換えスイッチ１１３、第１のバンドパスフィルタ１１２を経由してアンテナ１１１に供給され、アンテナ１１１より送信される。

【００２１】最後に受信チャンネルと送信チャンネルの切り換えについて説明する。受信チャンネルと送信チャンネルは、例えば１ミリ秒毎に交互に切り換えられる。受信系には受信イネーブル信号ＲＸ－ＳＷが供給される。例えば、この受信イネーブル信号ＲＸ－ＳＷは、送受信切り換えスイッチ１１３、ローノイズ増幅器１２１、周波数変換器１２３及び復調器１２５に供給される。同様に、送信系には送信イネーブル信号ＴＸ－ＳＷが供給される。

【００２２】例えば、この送信イネーブル信号ＴＸ－ＳＷは、送受信切り換えスイッチ１１３、電力増幅器１３１、ドライバアンプ１３６、周波数変換器１３３、変調器１３４及び１／２プリスケーラ１３５に供給される。それによって受信系のこれらの回路は同時にＯＮ／ＯＦＦされ、送信系のこれらの回路は同時に且つ受信系とは逆極性にてＯＮ／ＯＦＦされる。

【００２３】図５の例では、ＦＤＭＡ／ＴＤＤ方式の送受信装置の高周波回路ブロックの受信方式として、シングルスーパーヘテロダイン受信方式を使用さたが、ダブルスーパーヘテロダイン受信方式を採用することも考えられる。しかしながら、ダブルスーパーヘテロダイン受信方式は消費電力が大きく、製造費が高くなる欠点がある。逆に、シングルスーパーヘテロダイン受信方式は、このような欠点がない。

【００２４】

【発明が解決しようとする課題】しかしながら、シングルスーパーヘテロダイン受信方式は、以下に説明するように送信系におけるスプリアス放射の問題がある。

【００２５】シングルスーパーヘテロダイン受信方式では、ダブルスーパーヘテロダイン受信方式に比べて中間周波数Ｆｉｆの値を低い値に設定する必要がある。従って、送信イネーブル信号ＴＸ－ＳＷの高調波成分がスプリアスとして送信系の中間周波数領域に達することがあり、それがアンテナから出力される。

【００２６】図６及び図７を参照してスプリアスが出力される様子を説明する。図６は送信系の変調器１３４の出力信号の周波数スペクトラムを表す。縦軸は出力レベル、横軸は周波数である。変調器１３４は、中間周波数Ｆｉｆが２０ＭＨｚの送信信号を出力する。図６にて、周波数２０ＭＨｚにおける基本波５０１が、この中間周波数Ｆｉｆの送信信号を表す。

【００２７】一方、受信イネーブル信号ＲＸ－ＳＷ及び送信イネーブル信号ＴＸ－ＳＷは、例えば１ミリ秒毎にハイレベルとロウレベルに変化する周波数５００Ｈｚの矩形波信号であると仮定する。図６に示すように、変調器１３４の出力信号には、この周波数５００Ｈｚの送信イネーブル信号５０２に起因したスプリアス５０３が含まれる。

【００２８】このスプリアス５０３は周波数が５００×Ｎ（Ｎ＝１、２、３・・・）Ｈｚであるところに生じ、その出力レベルは、図６に示すように周波数が増加するにつれて小さくなる。

【００２９】しかしながら、シングルスーパーヘテロダイン受信方式では中間周波数Ｆｉｆの値が比較的低く（Ｆｉｆ＝２０ＭＨｚ）設定されているため、中間周波数領域までスプリアスが存在する。

【００３０】変調器１３４の出力信号は周波数変換器１３３に供給され、送受信周波数Ｆｒｆが８６６ＭＨｚの信号が生成される。周波数変換器１３３の出力信号の周波数スペクトラムは図６に示す変調器１３４の出力信号の周波数スペクトラムと同様になる。この周波数変換器

１３３の出力信号は、第４のバンドパスフィルタ１３２に供給される。

【００３１】第４のバンドパスフィルタ１３２の通過帯域が、図６に示すように２０ＭＨｚ幅であると仮定する。第４のバンドパスフィルタ１３２は、Ｆｒｆ±１０ＭＨｚ＝８６６ＭＨｚ±１０ＭＨｚの周波数範囲の信号を通過させる。従って変調器１３４の出力信号のうち、この周波数範囲に含まれるスプリアスが第４のバンドパスフィルタ１３２を経由してアンテナ１１１より出力される。

【００３２】図７を参照して、変調器１３４の出力信号に含まれるスプリアスについて説明する。図７Ａは、送信イネーブル信号ＴＸ－ＳＷの波形であり、１ミリ秒毎にハイレベルとロウレベルに変化する周期２ミリ秒、周波数５００Ｈｚの矩形波信号である。図７Ｂは変調器１３４の出力信号である。図７Ｃは、変調器１３４の出力信号のうち、例えば１５ＭＨｚの成分をスペクトラムアナライザによって解析して得られた波形を示す図であり、図７Ｄは、同様に、周波数変換器１３３の出力信号のうち、例えば１５ＭＨｚの成分をスペクトラムアナライザによって解析して得られた波形を示す図である。

【００３３】図７Ａに示すように、送信イネーブル信号ＴＸ－ＳＷは、時点T_1にてハイレベルとなり１ミリ秒後の時点T_2にてロウレベルに変化したものとする。図７Ｂに示すように、変調器１３４の出力信号は、時点T_1に対して時間t_1だけ遅れて立ち上がり、時点T_2に対して時間t_2だけ遅れて立ち下がる。

【００３４】図７Ｃに示すように、変調器１３４の出力信号に含まれるスプリアス６０１、６０２は、変調器１３４の出力信号の立ち上がり時点T_1+t_1と立ち下がり時点T_2+t_2で高レベルとなる。スプリアス６０１、６０２を含む変調器１３４の出力信号は周波数変換器１３３に出力される。

【００３５】周波数変換器１３３の出力は、図７Ａに示す送信イネーブル信号ＴＸ－ＳＷ号によって制御されている。周波数変換器１３３は、変調器１３４の出力信号を入力するが、そのうちの時点T_1から時点T_2までの１ミリ秒間に入力された信号のみを出力する。従って、変調器１３４の出力信号に含まれるスプリアスのうち、立ち上がり時点T_1+t_1のスプリアスは周波数変換器１３３より出力されるが、立ち下がり時点T_2+t_2のスプリアスは周波数変換器１３３より出力されない。

【００３６】そして周波数変換器１３３の出力信号は、バンドパスフィルタ１３２を経由してアンテナ１１１より出力される。しかしながら、立ち上がり時点T_1+t_1のスプリアスは除去されていないため、スプリアスに関する規格、例えば、ＥＴＳＩ（Ｅｕｒｏｐｅａｎ Ｔｅｌｅｃｏｍｍｕｎｉｃａｔｉｏｎ Ｓｔａｎｄａｒｄ Ｉｎｓｔｉｔｕｔｅ）によるスプリアスエミッションに関する規格Ｉ－ＥＴＳ－３００－１３１を満足することができない。

【００３７】本発明は斯かる点に鑑み、シングルスーパーヘテロダイン受信方式において、中間周波数Ｆｉｆの値を比較的低く（例えばＦｉｆ＝２０ＭＨｚ）設定するため、送信イネーブル信号５０２に起因したスプリアス５０３がバンドパスフィルタ１３２を通過しアンテナより出力される問題を解決することを目的とする。

【００３８】

【課題を解決するための手段】本発明によると、多重アクセス方式としてＦＤＭＡを使用し双方向通信方式としてＴＤＤを使用する送受信装置において、アンテナによって受信された受信信号から受信イネーブル信号に基づくタイミングで受信データを生成する受信手段と、受信イネーブル信号と逆相の送信イネーブル信号に基づくタイミングで中間周波数の送信信号を生成する中間周波数送信信号生成手段と、中間周波数の送信信号を送信周波数の送信信号に変換する周波数変換手段と、送信イネーブル信号を遅延させる遅延手段と、遅延手段の出力に基づくタイミングで、送信周波数の送信信号に所定の信号処理を行う信号処理手段と、信号処理手段の出力をアンテナに供給する供給手段と、を供える。

【００３９】従って、信号処理手段は、遅延手段の出力に基づくタイミングで、送信周波数の送信信号に所定の信号処理を行うから、送信信号よりスプリアスが除去される。

【００４０】

【発明の実施の形態】図１を参照して本発明の送受信装置の高周波回路ブロックの例を説明する。この送受信装置はＦＤＭＡ／ＴＤＤ方式である。従って、同一の送受信周波数Ｆｒｆの搬送波信号が、送信チャンネル及び受信チャンネルにて使用され、且つ両チャンネルは１ミリ秒毎に交互に切り換えられる。本例の高周波回路ブロックはシングルスーパーヘテロダイン受信方式を採用している。尚、このような高周波回路は、例えば、ディジタルコードレス電話システムの移動局（子機）ばかりでなく基地局（親機）にも使用される。

【００４１】高周波回路ブロックは、アンテナ系１１、１２、１３と受信系２１、２２、２３、２４、２５及び送信系３１、３２、３３、３４、３５、３６、３７と発振回路系４０、４５、５０とを有する。

【００４２】先ず発振回路系について説明する。本例の発振回路系は基準発振器４５と２つのＰＬＬ回路（フェーズロックドループ回路）４０、５０とを有する。基準発振器４５は、基準周波数Ｆｒｅｆの基準信号を発生する温度補償水晶発振器である。基準発振器４５から出力された基準周波数Ｆｒｅｆの信号は第１及び第２のＰＬＬ回路４０、５０に供給される。

【００４３】第１のＰＬＬ回路４０は局部発振周波数Ｆｌｏの信号を生成し、第２のＰＬＬ回路５０は中間周波数Ｆｉｆの２倍の周波数の信号を生成する。

【0041】例えば、基準周波数Ｆｒｅｆを12．8ＭＨｚとし、局部発振周波数ＦｌｏをＳ46ＭＨｚ、中間周波数ＦｉｆのＮ倍の周波数Ｎ×ＦｉｆをＮ×20＝40ＭＨｚとする。

【0045】次に受信チャンネルについて説明する。アンテナ11によって受信された送受信周波数Ｆｒｆの搬送波信号は第1のバンドパスフィルタ12、送受信切り換えスイッチ13、ローノイズ増幅器21及び第2のバンドパスフィルタ22を経由して受信周波数変換器（ミキサ）23に供給される。

【0046】周波数変換器23は、第2のバンドパスフィルタ22より供給された送受信周波数Ｆｒｆの搬送波信号と第1のＰＬＬ回路40より供給された局部発振周波数Ｆｌｏの信号を入力して中間周波数Ｆｉｆの受信信号を生成する。

【0047】例えば、送受信周波数Ｆｒｆを866ＭＨｚ、局部発振周波数Ｆｌｏを846ＭＨｚとすると、中間周波数Ｆｉｆは20ＭＨｚとなる。

【0048】この中間周波数Ｆｉｆの搬送波信号は第3のバンドパスフィルタ24を経由して復調器25に供給され、この復調器25によって受信データＲＸ－ＤＡＴＡが生成される。

【0049】次に送信チャンネルについて説明する。第2のＰＬＬ回路50によって中間周波数Ｆｉｆの2倍の周波数の信号が生成される。第2のＰＬＬ回路50から出力された周波数2×Ｆｉｆの信号は、1／2プリスケーラ35によって1／2に分周され中間周波数Ｆｉｆの信号が生成される。変調器34は、1／2プリスケーラ35より供給された中間周波数Ｆｉｆの搬送波信号と送信データＴＸ－ＤＡＴＡを入力して、中間周波数Ｆｉｆの送信信号を生成する。この信号は周波数変換器（ミキサ）33に供給される。

【0050】周波数変換器33は1／2プリスケーラ35より供給された中間周波数Ｆｉｆの搬送波信号と第1のＰＬＬ回路40より供給された局部発振周波数Ｆｌｏの信号を入力して送受信周波数Ｆｒｆの搬送波信号を生成する。

【0051】上述の例では、局部発振周波数Ｆｌｏが846ＭＨｚ、中間周波数Ｆｉｆが20ＭＨｚであるから、送受信周波数Ｆｒｆ＝866ＭＨｚが得られる。

【0052】周波数変換器33より供給された送受信周波数Ｆｒｆの搬送波信号は、第4のバンドパスフィルタ32、ドライバアンプ36、電力増幅器31、送受信切り換えスイッチ13、第1のバンドパスフィルタ12を経由してアンテナ11に供給され、アンテナ11より送信される。

【0053】本例の高周波回路ブロックは、図5の従来の高周波回路ブロックとを比較して、送信イネーブル信号ＴＸ－ＳＷの経路に遅延回路37が設けられている点が異なり、それ以外の構成は同様であってよい。

【0054】次に受信チャンネルと送信チャンネルの切り換えについて説明する。受信チャンネルと送信チャンネルは、例えば1ミリ秒毎に交互に切り換えられる。受信系には受信イネーブル信号ＲＸ－ＳＷが供給される。例えば、この受信イネーブル信号ＲＸ－ＳＷは、送受信切り換えスイッチ13、ローノイズ増幅器21、周波数変換器23及び復調器25に供給される。

【0055】同様に、送信系には送信イネーブル信号ＴＸ－ＳＷが供給される。この送信イネーブル信号ＴＸ－ＳＷは、送受信切り換えスイッチ13、電力増幅器31、遅延回路37、周波数変換器33、変調器34及び1／2プリスケーラ35に供給される。本例によると、遅延回路37の出力がドライバアンプ31に供給される。

【0056】図2に遅延回路37の構成例を示す。本例の遅延回路37はＡＮＤ回路371とＲＣ遅延回路、即ち、コンデンサ372及び抵抗器373を含む。この遅延回路37の入力端子374に送信イネーブル信号ＴＸ－ＳＷが入力され、出力端子375からの信号はドライバアンプ36に供給される。

【0057】図3を参照して本発明によってスプリアスが除去される様子を説明する。図3Ａは図7Ａと同様に、送信イネーブル信号ＴＸ－ＳＷの波形であり、1ミリ秒毎にハイレベルとロウレベルに変化する周期2ミリ秒、周波数500Ｈｚの矩形波信号である。図3Ａの送信イネーブル信号ＴＸ－ＳＷは、図2のＡＮＤ回路371の一方の入力信号である。図3Ｂは図2のＡＮＤ回路371の他方の入力信号、即ち、ＲＣ遅延回路372、373を経由した信号である。

【0058】図3Ｃは図2のＡＮＤ回路371の出力信号であり、従って遅延回路37の出力信号である。このＡＮＤ回路371の出力信号は、2つの入力信号（図3Ａと図3Ｂ）のＡＮＤ演算の結果を表す。図3Ｃに示すように、ＡＮＤ回路371の出力信号は時点$T_1 + t_3$にてハイレベルとなり、時点T_2にてロウレベルとなる。

【0059】図3Ａと図3Ｃを比較すると明らかなように、本例によると、遅延回路37の出力信号は、送信イネーブル信号ＴＸ－ＳＷがローレベルからハイレベルとなる時点のみが時間t_3だけ遅延したものである。この遅延時間t_3は立ち上がりスプリアス601が発生する時間t_1（図7Ｂ参照）より大きいことが必要である。例えば、この遅延時間t_3は3ミリ秒である。

【0060】

【数1】　$t_3 > t_1$

【0061】図3Ｃに示すＡＮＤ回路371の出力信号、即ち、遅延回路37の出力信号が、ドライバアンプ36に供給される。ドライバアンプ36は、図3Ａの送信イネーブル信号ＴＸ－ＳＷではなく、図3Ｃにて示すように、時点$T_1 + t_3$にてハイレベルとなり、時点Ｔ

」にてロウレベルとなる矩形波信号によって制御される

【0062】図3Dは、周波数変換器33の出力信号のうち、例えば15MHzの成分をスペクトラムアナライザによって解析して得られた波形を示す図である。図3Eは、ドライバアンプ37の出力信号のうち、例えば15MHzの成分をスペクトラムアナライザによって解析して得られた波形を示す図である。

【0063】ドライバアンプ36は、周波数変換器33の出力信号を入力するが、時点T_1+t_3から時点T_2までの時間（$1-t_3$）ミリ秒に入力された信号のみを出力する。従って、周波数変換器33の出力信号に含まれるスプリアス601は除去される。結局、ドライバアンプ36からはスプリアスを含まない信号が出力される。

【0064】ドライバアンプ36の出力信号は、電力増幅器31、送受信切り換えスイッチ13を経由してアンテナ11より出力される。この信号にはスプリアスが殆ど含まれないため、スプリアスに関する規格を満足することができる。

【0065】図4を参照して本発明の第2の例を説明する。本例の送受信装置の高周波回路ブロックは、図1に示した本発明の第1の例の送受信装置の高周波回路ブロックと比較して、遅延回路37の位置が異なり、それ以外の構成は同様である。本例によると、遅延回路37は、ドライバアンプ36、電力増幅回路31及び送受信切り換えスイッチ13の入力側に配置されている。従って、遅延回路37の出力は、ドライバアンプ36ばかりでなく、電力増幅回路31及び送受信切り換えスイッチ13にも供給される。

【0066】本例では、電力増幅回路31及び送受信切り換えスイッチ13は、送信イネーブル信号TX-SWではなく遅延回路37の出力によって制御される。図3を参照して説明して議論が、電力増幅回路31及び送受信切り換えスイッチ13の出力信号にも適用される。ここでは繰り返し説明しない。

【0067】以上本発明の実施の形態について詳細に説明したが、本発明はこれらの例に限定されることなく特許請求の範囲に記載された発明の範囲にて様々な変更等が可能であることは当業者にとって理解されよう。

【0068】

【発明の効果】本発明によると、FDMA／TDD方式の送受信装置の高周波回路ブロックにおいて、シングルスーパーヘテロダイン受信方式を採用して中間周波数を低めに設定した場合でも、送信イネーブル信号の高調波成分が中間周波数まで到達して不要スプリアスとしてアンテナから発射されるという問題がなくなるため、スプリアスに関する規格を満足することができる利点を有する。

【0069】本発明によると、FDMA／TDD方式の送受信装置においてシングルスーパーヘテロダイン受信方式を採用することができるから高周波回路ブロックのコストダウン、消費電流及び材料費削減が可能になる利点を有する。

【図面の簡単な説明】

【図1】本発明による送受信装置の例を示すブロック図である。

【図2】本発明による遅延回路の例を示す回路図である。

【図3】本発明による送受信装置の高周波回路のタイミング図である。

【図4】本発明による送受信装置の他の例を示すブロック図である。

【図5】従来の送受信装置の例を示すブロック図である。

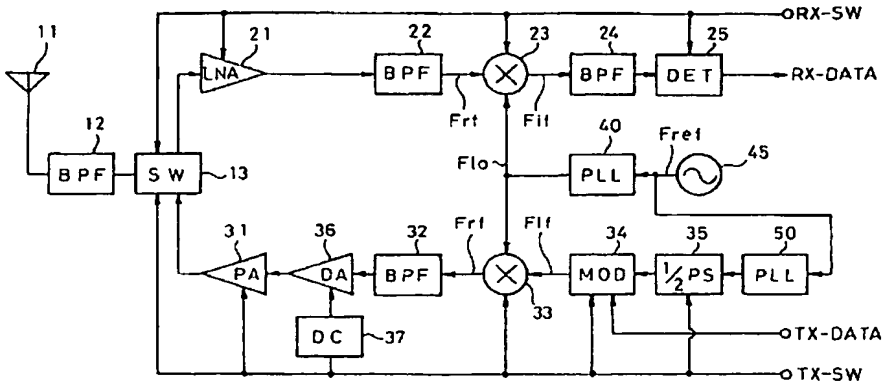
【図6】従来の高周波回路における変調器の出力信号の周波数スペクトラムを示す図である。

【図7】従来の送受信装置の高周波回路のタイミング図である。

【符号の説明】

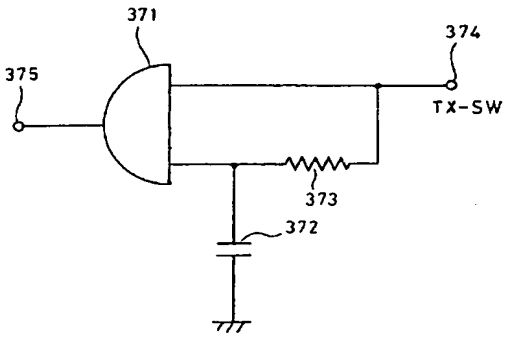
11　アンテナ、　12　バンドパスフィルタ、　13　送受信切り換えスイッチ、　21　ローノイズ増幅器、　22　バンドパスフィルタ、　23　周波数変換器、　24　バンドパスフィルタ、　25　復調器、　31　電力増幅器、32　バンドパスフィルタ、　33　周波数変換器、　34　変調器、　351／2プリスケーラ、　36　ドライバアンプ、　37　遅延回路、　40PLL回路、　45　基準発振器、　50　PLL回路

【図1】



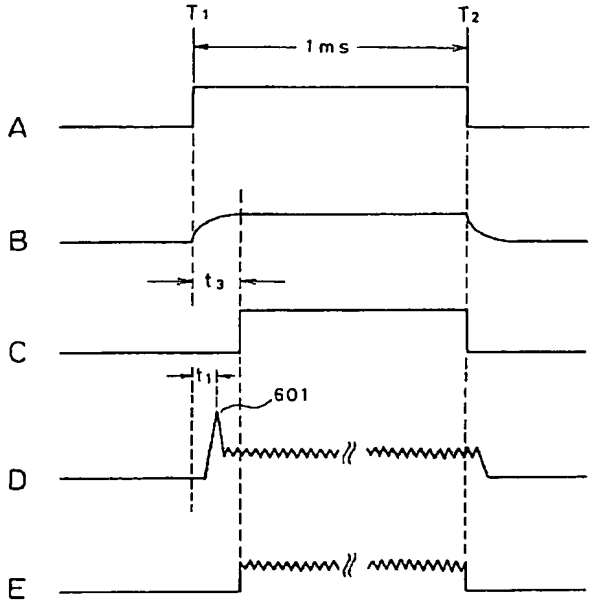
本発明による送受信装置の高周波数回路の例

【図2】



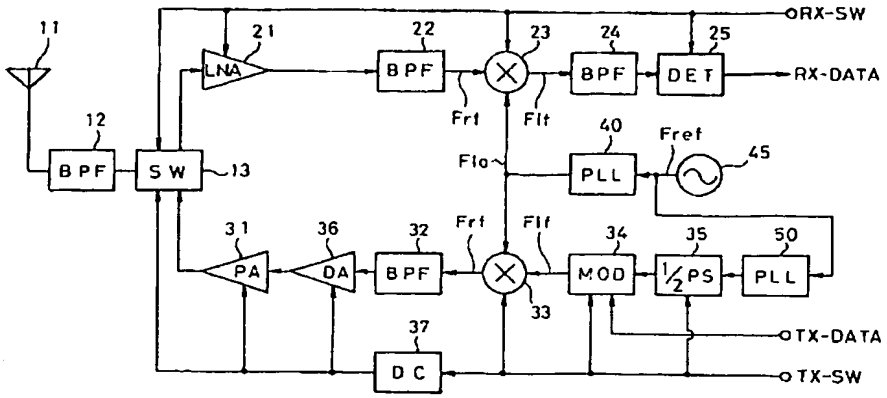
遅延回路の例

【図3】



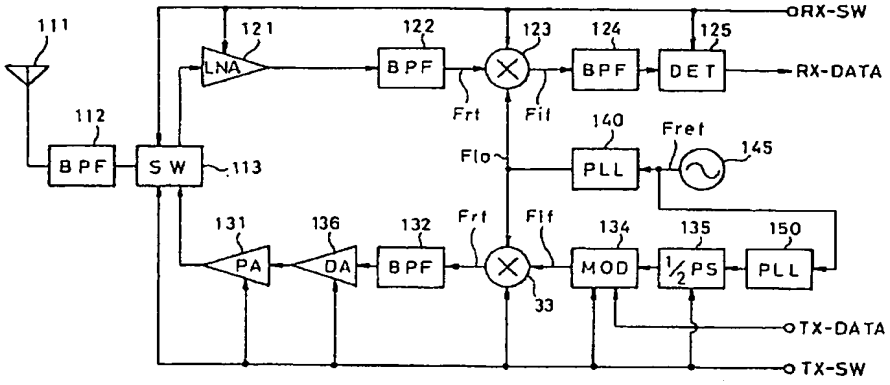
本発明による高周波数回路のタイミング図

【図4】



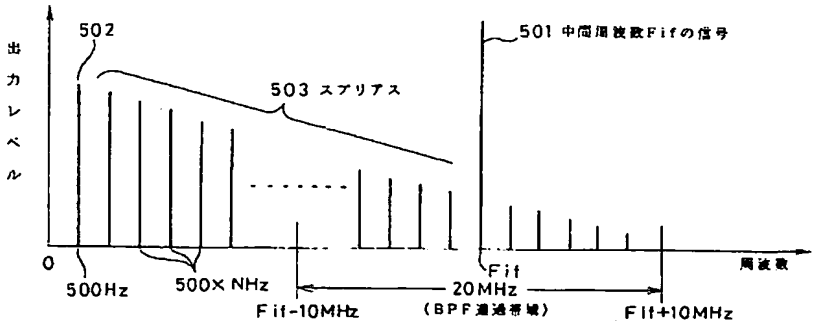
本発明による送受信装置の高周波数回路の他の例

【図5】



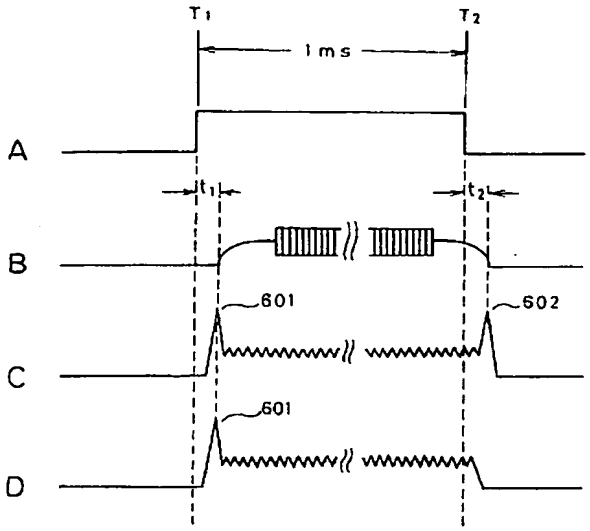
従来の送受信装置の高周波数回路の例

【図6】



変調器の出力信号の周波数スペクトラム

【図7】



従来の送信系の搬送波信号に現われる
スプリアス